



PCT
WELTORGANISATION FÜR GEISTIGES EIGENTUM
Internationales Büro
INTERNATIONALE ANMELDUNG VERÖFFENTLICHT NACH DEM VERTRAG ÜBER DIE
INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS (PCT)

(51) Internationale Patentklassifikation 5 :

H03H 17/02

A1

(11) Internationale Veröffentlichungsnummer: WO 93/23924

(43) Internationales
Veröffentlichungsdatum: 25. November 1993 (25.11.93)

(21) Internationales Aktenzeichen: PCT/DE93/00407

(22) Internationales Anmeldedatum: 10. Mai 1993 (10.05.93)

(30) Prioritätsdaten:
P 42 15 377.8 11. Mai 1992 (11.05.92) DE

(71) Anmelder (für alle Bestimmungsstaaten ausser US): SIE-
MENS AKTIENGESELLSCHAFT [DE/DE]; Wittels-
bacherplatz 2, D-80333 München (DE).

(72) Erfinder; und

(75) Erfinder/Anmelder (nur für US) : NOLL, Tobias [DE/DE];
Pfalzgrafenstraße 33, D-5100 Aachen (DE). SEBALD,
Georg [DE/DE]; Mäuselweg 19, D-8000 München 70
(DE).

(81) Bestimmungsstaaten: BR, CA, JP, US, europäisches Patent
(AT, BE, CH, DE, DK, ES, FR, GB, GR, IE, IT, LU,
MC, NL, PT, SE).

Veröffentlicht

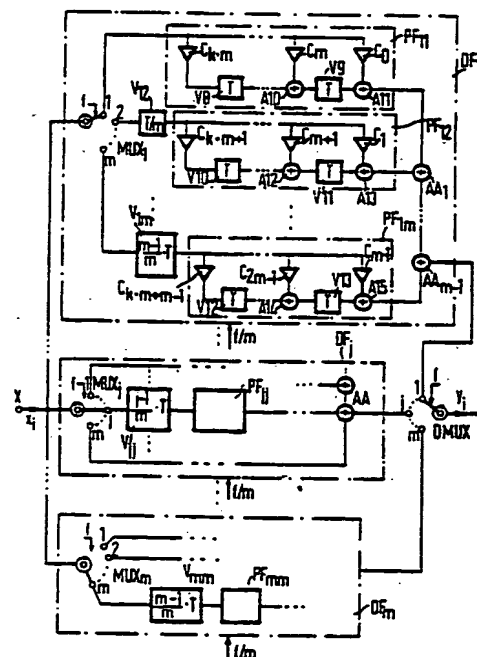
Mit internationalem Recherchenbericht.

(54) Title: PARALLELISED TRANSVERSE FILTER

(54) Bezeichnung: PARALLELISIERTES TRANSVERSALFILTER

(57) Abstract

The invention relates to a filter structure operable at a filter clock frequency f , consisting of m digital decimation filters ($DF_1 \dots DF_j \dots DF_m$), connected in parallel on the input side, which contain a multiplexer (MUX_1) operable at the filter clock frequency and m pipeline filters ($PF_{11} \dots PF_{1m}$) in running at frequency f/m and which can be connected on the output side cyclically in series via a demultiplexer running at the filter clock frequency f to the filter output (Y). An m -fold throughput rate with m -fold circuit design compared with prior art transverse filters is attainable. The advantage of the invention is especially that the maximum throughput rate is determined only by the maximum processing speed of the multiplexer circuits in the decimation filters and the demultiplexer circuit, and this can also advantageously be done off-chip, e.g. using speed-optimised bipolar technology, so that the speed potential of the other filter components which, for example, use CMOS technology can be almost infinitely multiplied.



(57) Zusammenfassung Die Erfindung betrifft eine mit einer Filtertaktfrequenz f betreibbare Filterstruktur, bestehend aus m eingangsseitig parallel geschalteten digitalen Dezimierungsfiltren ($DF_1 \dots DF_j \dots DF_m$), die jeweils einen mit der Filtertaktfrequenz betreibbaren Multiplexer (MUX_1) und m mit der Frequenz f/m getaktete Pipelinefilter ($PF_{11} \dots PF_{1m}$) enthalten und die ausgangsseitig nacheinander zyklisch über einen mit der Filtertaktfrequenz f getakteten Demultiplexer mit dem Filterausgang (Y) verbindbar sind und bei der eine gegenüber bekannten Transversalfiltren eine m -fache Durchsatzrate bei etwa m -fachem Schaltungsaufwand erreichbar ist. Der Vorteil der Erfindung liegt insbesondere darin, daß die maximale Durchsatzrate hierbei nur durch die maximale Verarbeitungsgeschwindigkeit der Multiplexerschaltungen in den Dezimierungsfiltren und der Demultiplexerschaltung bestimmt wird und diese auch vorteilhafterweise off-chip, zum Beispiel in einer geschwindigkeitsoptimierten Bipolar-Technologie, realisierbar sind, wodurch das Geschwindigkeitspotential der beispielsweise in CMOS-Technologie hergestellten übrigen Filterkomponenten praktisch beliebig vervielfachbar ist.

LEDIGLICH ZUR INFORMATION

Code, die zur Identifizierung von PCT-Vertragsstaaten auf den Kopfhögen der Schriften, die internationale Anmeldungen gemäss dem PCT veröffentlichen.

AT	Österreich	FR	Frankreich	MR	Mauritanien
AU	Australien	GA	Gabon	MW	Malawi
BB	Barbados	GB	Vereinigtes Königreich	NL	Niederlande
BE	Belgien	GN	Guinea	NO	Norwegen
BF	Burkina Faso	GR	Griechenland	NZ	Neuseeland
BG	Bulgarien	HU	Ungarn	PL	Polen
BJ	Benin	IE	Irland	PT	Portugal
BR	Brasilien	IT	Italien	RO	Rumänien
CA	Kanada	JP	Japan	RU	Russische Föderation
CF	Zentrale Afrikanische Republik	KP	Demokratische Volksrepublik Korea	SD	Sudan
CG	Kongo	KR	Republik Korea	SE	Schweden
CH	Schweiz	KZ	Kasachstan	SK	Slowakische Republik
CI	Côte d'Ivoire	LI	Liechtenstein	SN	Senegal
CM	Kamerun	LK	Sri Lanka	SU	Sowjet Union
CS	Tschechoslowakei	LU	Luxemburg	TD	Tschad
CZ	Tschechische Republik	MC	Monaco	TG	Togo
DE	Deutschland	MG	Madagaskar	UA	Ukraine
DK	Dänemark	ML	Mali	US	Vereinigte Staaten von Amerika
ES	Spanien	MN	Mongolei	VN	Vietnam
FI	Finnland				

5

Parallelisiertes Transversalfilter.

Aus der europäischen Patentanmeldung EP-A-0 305 708 ist ein digitales DezimierungsfILTER bekannt, dessen darin
10 enthaltener Multiplexer mit der Abtastrate der ihm zugeführten Signale betrieben wird, während die an seine Ausgänge angeschlossenen Signalpfade und die mit diesen verbundenen Teilschaltungen des Filters mit der halben Abtastrate des Eingangssignals betrieben werden.

15

Der Erfindung liegt die Aufgabe zugrunde eine Filterstruktur anzugeben, die auf der Basis von Pipelinefiltern mit fest vorgegebener maximaler Taktfrequenz eine m-fache Durchsatzrate eines konventionellen Transversalfilters mit etwa
20 m-fachem Schaltungsaufwand ermöglichen. Das wird erfindungsgemäß durch eine Ausbildung der Filterstruktur nach Patentanspruch 1 erreicht.

25

Der mit der Erfindung erzielbare Vorteil liegt insbesondere darin, daß die maximale Durchsatzrate hierbei nur von der maximalen Verarbeitungsgeschwindigkeit von Multiplexer- und Demultiplexerschaltungen bestimmt wird und diese beispielsweise off-chip in einer geschwindigkeitsoptimierten Bipolar-Technologie realisierbar sind, wodurch die Durchsatzrate um Größenordnungen steigerbar ist.

30

Der Patentanspruch 2 ist auf eine bevorzugte Weiterbildung der Erfindung gerichtet.

35

Die Erfindung wird nachfolgend anhand der Zeichnung erläutert. Dabei zeigt

Figur 1 ein konventionelles Transversalfilter,

- 5 Figur 2 eine erfindungsgemäße Filterstruktur in Form eines
mit dem Faktor 2 parallelisierten Transversalfil-
ters nach Figur 1 und

- 10 Figur 3 eine erfindungsgemäße Filterstruktur in Form eines
mit dem Faktor m parallelisierten Transversalfil-
ters mit $(k + 1) * m$ Filterkoeffizienten.

In Figur 1 ist ein konventionelles Transversalfilter TF mit
beispielsweise vier Filterkoeffizienten dargestellt, das
15 aus den Partialproduktstufen $C_0 \dots C_3$, aus Verzögerungsstu-
fen $V1 \dots V3$ mit einer Verzögerungszeit T und aus Addie-
rern $A1 \dots A3$ besteht und das mit einer Filtertaktfrequenz
 f betreibbar ist. Beim Transversalfilter TF ist nach jedem
Filtertakt ein am Filtereingang X anliegendes Filterein-
20 gangssignal x_i den Partialproduktstufen $C_0 \dots C_3$ gleich-
zeitig zuführbar. Der Ausgang der Partialproduktstufe C_3
ist dabei mit dem Eingang der Verzögerungsstufe $V1$ verbun-
den, deren Ausgang mit einem ersten Eingang des Addierers
 $A1$ beschaltet ist. Der zweite Eingang des Addierers $A1$ ist
25 mit dem Ausgang der Partialproduktstufe C_2 und der Ausgang
des Addierers $A1$ ist mit dem Eingang der Verzögerungsstufe
 $V2$ verbunden. Der Ausgang der Verzögerungsstufe $V2$ bildet
den ersten Eingang und der Ausgang der Partialproduktstufe
 C_1 bildet den zweiten Eingang des Addierers $A2$, dessen
30 Ausgang mit dem Eingang der Verzögerungsstufe $V3$ verbunden
ist. Der Ausgang der Verzögerungsstufe $V3$ bildet gleich-
zeitig den ersten Eingang und der Ausgang der Partialpro-
duktstufe C_0 bildet den zweiten Eingang des Addierers $A3$,
dessen Ausgang gleichzeitig den Filterausgang Y darstellt,
35 der Filterausgangssignale y_i liefert. Angenommen in einer
Partialproduktstufe C_i findet eine Multiplikation der je-
weiligen Eingangsgröße mit einem Filterkoeffizienten c_i
statt, so ergibt sich für das in Figur 1 dargestellt Trans-
versalfilter TF mit vier Filterkoeffizienten folgende Be-

ziehung für das Filterausgangssignal:

$$y_i = c_0 x_i + c_1 x_{i-1} + c_2 x_{i-2} + c_3 x_{i-3}$$

Figur 2 zeigt hingegen eine nach der Erfindung ausgebildete Filterstruktur, bei der ebenfalls wie beim Transversalfilter TF mit der Filtertaktfrequenz f dem Filtereingang X Filtereingangssignale x_i zuführbar und dem Filterausgang Y Filterausgangssignale y_i entnehmbar sind, bei der jedoch das in Figur 1 dargestellte Transversalfilter TF mit dem Parallelisierungsgrad $m = 2$ parallelisiert ist. Die erfindungsgemäße Filterstruktur besteht aus $m = 2$ eingangsseitig parallel geschalteten Dezimierungsfiltren $DF2_1$ und $DF2_2$, deren Pipelinefilter jeweils nur mit der halben Filtertaktfrequenz $f/2$ betreibbar sind und die ausgangsseitig über einen mit der Filtertaktfrequenz f getakteten Demultiplexer DMUX2 abwechselnd auf dem Filterausgang Y schaltbar sind. Das erste der beiden Dezimierungsfiltren $DF2_1$ besitzt einen Multiplexer $MUX2_1$, der mit der Taktfrequenz f umschaltbar ist und die Eingangssignale x_i abwechselnd einem ersten Pipelinefilter $PF2_1$ und einem zweiten Pipelinefilter $PF2_2$ zuführt, wobei die Ausgänge der beiden Pipelinefilter über einen Addierer $A6$ aufsummierbar und einem der beiden Eingänge des Demultiplexers DMUX2 zuführbar sind. Der erste Ausgang des Multiplexers $MUX2_1$ ist dabei direkt mit dem Eingang des Pipelinefilters $PF2_1$ und der zweite Ausgang des Multiplexers $MUX2_1$ ist über eine Vorverzögerungsschaltung $V2_1$ mit der Verzögerungszeit $T/2$ mit dem Eingang des Pipelinefilters $PF2_2$ verbunden. Im Pipelinefilter $PF2_1$ befinden sich Partialproduktstufen C_2 und C_0 für Filterkoeffizienten mit geradzahligem Index, eine Verzögerungsschaltung $V4$ und eine Addierschaltung $A4$ und im Pipelinefilter $PF2_2$ befinden sich Partialproduktstufen C_1 und C_3 für Filterkoeffizienten mit ungeradzahligem Index, eine Verzögerungsstufe $V5$ und eine Addierstufe $A5$, wobei die Ausgänge der Addierer $A4$ und $A5$ mit den Eingängen des Addierers $A6$ verbunden sind. Befindet sich der Multiplexer

MUX2₁ im Schaltzustand 1, so ist der Filtereingang X gleichzeitig mit den Eingängen der Partialproduktstufen C₂ und C₀, der Ausgang der Partialproduktstufe C₂ mit dem Eingang der Verzögerungsschaltung V4, der Ausgang der Verzögerungsschaltung V4 mit einem ersten Eingang des Addierers A4 und der Ausgang der Partialproduktstufe C₀ mit einem zweiten Eingang des Addierers A4 verbunden. Im zweiten Schaltzustand 2 des Multiplexers MUX2₁ ist der Filtereingang X über die Vorverzögerungsstufe V2₁ gleichzeitig mit den Eingängen der Partialproduktstufen C₃ und C₁, der Ausgang der Partialproduktstufe C₃ mit dem Eingang der Verzögerungsschaltung V5, der Ausgang der Verzögerungsschaltung V5 mit einem ersten Eingang des Addierers A5 und der Ausgang der Partialproduktstufe C₁ mit einem zweiten Eingang des Addierers A5 verbunden. Sieht man vom Multiplexer MUX2₁ ab, so entspricht der Aufwand für das Dezimierungsfiler DF2₁ dem Aufwand für das Transversalfilter TF von Figur 1. Das zweite Dezimierungsfiler DF2₂ ist wie das Dezimierungsfiler DF2₁ aufgebaut und besitzt einen Multiplexer MUX2₂, eine Vorverzögerungsschaltung V2₂, Partialproduktstufen C₀' ... C₃' Verzögerungsstufen V4', V5' und Addierer A4' ... A6', wobei die entsprechenden Bezugszeichen im Dezimierungsfiler DF2₂ mit einem Strich gekennzeichnet sind, so daß beispielsweise die Verzögerungsschaltung V4 im Dezimierungsfiler DF2₁ der Verzögerungsschaltung V4' im Dezimierungsfiler DF2₂ entspricht. Ohne die beiden Multiplexer MUX2₁ und MUX2₂ sowie den Demultiplexer DMUX2 ist der Schaltungsaufwand der erfindungsgemäßen Filterstruktur nach Figur 2 gegenüber dem Transversalfilter TF aus Figur 1 genau verdoppelt. Die Verzögerungszeit T der Verzögerungsstufen V4, V5, V4' und V5' der Dezimierungsfiler DF2₁ und DF2₂ beträgt dabei eine Taktperiode des an das Dezimierungsfiler angelegten Taktes, das heißt im Beispiel von Figur 2 ($m = 2$) $T = 1/(f/2)$. Für das ordnungsgemäße Funktionieren der erfindungsgemäßen Filterstruktur ist es von wesentlicher Bedeutung, daß zu einem jeweiligen Zeitpunkt, beispielsweise zum Startzeitpunkt, die Schaltzu-

stände der beiden Multiplexer $MUX2_1$ und $MUX2_2$ sowie des Demultiplexers $DMUX2$ abhängig voneinander richtig gewählt sind. In Figur 2 befindet sich der Multiplexer $MUX2_1$ des ersten Dezimierungsfilters $DF2_1$ im Schaltzustand 1 der Multiplexer $MUX2_2$ des zweiten Dezimierungsfilters $DF2_2$ im Schaltzustand 2 und der Demultiplexer $DMUX2$ im Schaltzustand 1. Es besteht beispielsweise aber auch die Möglichkeit, daß zum Startzeitpunkt der Multiplexer $MUX2_1$ sich im Schaltzustand 2, der Multiplexer $MUX2_2$ im Schaltzustand 1 und der Demultiplexer $DMUX2$ im Schaltzustand 2 beginnt.

Zur Erläuterung der Funktionsweise der erfindungsgemäßen Filterstruktur nach Figur 2 werden nachfolgend die Zeitpunkte $t = 0$, $t = T/2$, $t = T$, $t = 3T/2$ und t größer gleich $2T$ betrachtet, wobei T einer Taktperiode des an das Dezimierungsfilter angelegten Taktes entspricht. Zum Startzeitpunkt $t = 0$ gelangt das Filtereingangssignal x_0 über den im Schaltzustand 1 befindlichen Multiplexer $MUX2_1$ und über die Partialproduktstufe C_0 , wo eine Multiplikation mit dem Filterkoeffizienten c_0 erfolgt, sowie über die Addierer $A4$ und $A6$ und den im Schaltzustand 1 befindlichen Demultiplexer $DMUX2$ zum Filterausgang Y , wodurch sich ein Filterausgangssignal $y_0 = c_0 x_0$ ergibt. Zum Zeitpunkt $T = T/2$ schaltet der Multiplexer $MUX2_1$ in den Schaltzustand 2, der Multiplexer $MUX2_2$ in den Schaltzustand 1 und der Demultiplexer $DMUX2$ in den Schaltzustand 2, wodurch das Filtereingangssignal x_1 zur Partialproduktstufe C_0' gelangt, die eine Multiplikation mit dem Filterkoeffizienten c_0 bewirkt, und das Partialprodukt $c_0 x_1$ dem Addierer $A6'$ zugeführt wird. Zum selben Zeitpunkt wird das über die Vorverzögerungsschaltung um die Zeit $T/2$ verzögerte Filtereingangssignal x_0 der Partialproduktstufe C_1' zugeleitet, in der eine Multiplikation mit dem Filterkoeffizienten c_1 stattfindet, und das gebildete Partialprodukt $c_1 x_0$ dem Ausgangsaddierer $A6'$ zugeführt. Über den im Schaltzustand 2 befindlichen Demultiplexer $DMUX2$ gelangt die Summe der beiden Partialprodukte in der Form $y_1 = c_0 x_1 + c_1 x_0$ an den

Filterausgang Y. Für $t = T$ schalten die beiden Multiplexer und der Demultiplexer in die Schaltzustände von $t = 0$, wodurch im Pipelinefilter PF2₁ des Dezimierungsfilters DF2₁ der Ausdruck $c_2x_0 + c_0x_2$ und im Pipelinefilter PF2₂ des Dezimierungsfilters DF2₁ das Partialprodukt c_1x_1 gebildet und im Ausgangsaddierer A6 aufaddiert wird. Der Ausgang Y erhält dabei das Filterausgangssignal $Y_2 = c_0x_2 + c_1x_1 + c_2x_0$. Zum Zeitpunkt $t = 3T/2$ schalten die beiden Multiplexer und der Demultiplexer in die jeweiligen Schaltzustände von $t = T/2$, wodurch die Ausdrücke $c_0x_3 + c_2x_1$ und $c_1x_2 + c_3x_0$ dem Ausgangsaddierer A6' zugeführt werden und am Ausgang Y das Filterausgangssignal $y_3 = c_0x_3 + c_1x_2 + c_2x_1 + c_3x_0$ anliegt. Allgemein ergibt sich, wie beim Transversalfilter TF von Figur 1, das Ausgangssignal $y_i = c_0x_i + c_1x_{i-1} + c_2x_{i-2} + c_3x_{i-3}$.

Geht man beispielsweise davon aus, daß das Transversalfilter TF1 von Figur 1 und die Pipelinefilter von Figur 2 in CMOS-Technologie aufgebaut sind und die minimale Verzögerungszeit beispielsweise $T = 25$ Nanosekunden beträgt, so ergibt sich für das konventionelle Transversalfilter TF eine Filtertaktfrequenz $f = 1/T = 40$ Megahertz, bei der erfindungsgemäßen Filterstruktur hingegen ergibt sich wegen $f/2 = 1/T$ eine Filtertaktfrequenz $f = 80$ Megahertz.

Allgemein läßt sich ein Transversalfilter mit $(k + 1) * m$ Koeffizienten mit einem Parallelisierungsgrad m parallelisieren, wobei, abgesehen von zusätzlichen Ausgangsaddierern, den Multiplexern und dem Demultiplexer, eine m -fache Verarbeitungsgeschwindigkeit bei m -fachem Schaltungsaufwand möglich ist. In Figur 3 ist eine erfindungsgemäße Filterstruktur in Form eines mit dem Parallelisierungsgrad m parallelisierten Transversalfilters mit $(k + 1) * m$ Koeffizienten dargestellt. Diese erfindungsgemäße Filterstruktur besteht aus m eingangsseitig mit dem Filtereingang X verbundenen Dezimierungsfiltern DF₁ ... DF_j ... DF_m, die ausgangsseitig über einen Demultiplexer DMUX mit dem Fil-

terausgang Y verbindbar sind. Die Verzögerungszeit T in
 den Verzögerungsstufen der m Dezimierungsfiler entspricht
 5 jeweils der Taktperiode des an das Dezimierungsfiler an-
 gelegten Taktes, das heißt im allgemeinen Fall (Figur 3)
 $T = 1/(f/m)$. Ein zum ersten Dezimierungsfiler DF_1 gehöriger
 Multiplexer MUX_1 befindet sich dabei zum Startzeit-
 punkt im Schaltzustand 1, ein zum Dezimierungsfiler DF_j
 10 gehöriger Multiplexer MUX_j im Schaltzustand j und ein letz-
 ter Multiplexer MUX_m eines letzten Dezimierungsfilters DF_m
 im Schaltzustand m . Der Demultiplexer befindet sich zum
 Startzeitpunkt im Schaltzustand 1, ist also mit dem Dezi-
 mierungsfiler DF_1 verbunden, und wird mit der Filtertakt-
 15 frequenz f getaktet. Die Multiplexer $MUX_1 \dots MUX_j \dots$
 MUX_m werden wie der Demultiplexer $DMUX$ zyklisch mit der
 Filtertaktfrequenz f weitergeschaltet. Die restlichen Schal-
 tungsteile der Dezimierungsfiler $DF_1 \dots DF_j \dots DF_m$ wer-
 den mit einer gegenüber der Filtertaktfrequenz f um den
 20 Faktor $1/m$ reduzierten Taktfrequenz betrieben. Im ersten
 Dezimierungsfiler DF_1 ist der Filtereingang X zum Start-
 zeitpunkt über den Multiplexer MUX_1 , der sich im Schaltzu-
 stand 1 befindet, mit Partialproduktstufen $C_0, C_m \dots C_k * m$
 eines ersten Pipelinefilters PF_{11} des ersten Dezimierungs-
 25 filters DF_1 gleichzeitig verbunden. Im Schaltzustand 2 des
 Multiplexers MUX_1 ist der Filtereingang X mit einer Vorver-
 zögerungsschaltung V_{12} mit der Verzögerungszeit T/m gleich-
 zeitig mit den Partialproduktstufen $C_1, C_m + 1, \dots$
 $C_k * m + 1$ eines zweiten Pipelinefilters PF_{12} des ersten
 30 Dezimierungsfilters DF_1 verbunden. Im Schaltzustand m des
 Multiplexers MUX_1 sind die am Filtereingang X anliegenden
 Filtereingangssignale x_1 über eine Vorverzögerungsschaltung
 V_{1m} mit der Verzögerungszeit $(m - 1) * T/m$ gleichzeitig Par-
 tialproduktstufen $C_m - 1, C_k + m - 1, \dots C_k * m + m - 1$
 35 eines m -ten Pipelinefilters PF_{1m} des Dezimierungsfilters
 DF_1 zuführbar. Alle übrigen Pipelinefilter des Dezimierungs-
 filters DF_1 sind durch Punkte angedeutet. Das Dezimierungs-
 filter DF_1 besitzt zusätzlich $m - 1$ Ausgangsaddierer AA_1
 $\dots AA_{m - 1}$, deren Eingänge mit den Ausgängen der Pipeline-

filter $PF_{11}, PF_{12} \dots PF_{1m}$ verbunden sind, wobei der Ausgang des letzten Ausgangsaddierers AA_{m-1} über den zum Startzeitpunkt im Schaltzustand 1 befindlichen Demultiplexer DMUX mit dem Filterausgang Y verbunden ist. Der Aufbau der beispielhaft dargestellten Pipelinefilter $PF_{11}, PF_{12} \dots PF_{1m}$ ist beispielhaft durch die Verzögerungsschaltung $V8 \dots V13$ und durch die Addierer $A10 \dots A15$ im Zusammenhang mit dem Partialproduktstufen $C_0 \dots C_{k \cdot m + m - 1}$ angedeutet. Dabei ist beim Pipelinefilter PF_{11} der Ausgang der Partialproduktstufe $C_{k \cdot m}$ mit dem Eingang der Verzögerungsstufe $V8$, der Ausgang der Partialproduktstufe C_1 mit einem Eingang des Addierers $A10$ und der Ausgang der Partialproduktstufe C_0 mit einem Eingang des Addierers $A11$ verbunden. Ferner ist der Ausgang des Addierers $A10$ mit dem Eingang der Verzögerungsschaltung $V9$ und deren Ausgang mit dem zweiten Eingang des Addierers $A11$ beschaltet, wobei der Ausgang des Addierers $A11$ gleichzeitig den Ausgang des Pipelinefilters PF_{11} bildet. Entsprechend ist der Ausgang der Partialproduktstufe $C_{k \cdot m + 1}$ mit dem Eingang der Verzögerungsstufe $V10$, der Ausgang der Partialproduktstufe C_{m+1} mit einem ersten Eingang des Addierers $A13$ verbunden. Der Ausgang der Verzögerungsstufe $V11$ ist mit dem zweiten Eingang des Addierers $A13$ verbunden, dessen Ausgang den Ausgang des Pipelinefilters PF_{12} bildet. In der letzten Pipelinestufe PF_{1m} des Dezimierungsfilters DF_1 ist der Ausgang der Partialproduktstufe $C_{k \cdot m + m - 1}$ mit dem Eingang der Verzögerungsstufe $V12$, der Ausgang der Partialproduktstufe C_{2m-1} mit einem ersten Eingang des Addierers $A14$ und der Ausgang der Partialproduktstufe C_{m-1} mit einem ersten Eingang des Addierers $A15$ verbunden, dessen Ausgang den Ausgang des Pipelinefilters PF_{11} bildet. Die Verzögerungsstufe $V13$ ist eingangsseitig mit dem Ausgang des Addierers $A14$ und ausgangsseitig mit dem zweiten Eingang des Addierers $A15$ beschaltet. In den Pipelinefiltern $PF_{11}, PF_{12} \dots PF_{1m}$ sind durch punktierte Linien weitere Partialproduktstufen, Verzögerungsschaltungen und Addierer angedeutet. Ferner ist exemplarisch ein j-tes Dezi-

mierungsfiler DF_j gezeigt, bei dem der Filtereingang X über einen zum Startzeitpunkt im Schaltzustand j befindlichen Multiplexer MUX_j , eine Vorverzögerungsschaltung V_{jj} mit der Verzögerungszeit $(j - 1) * T/m$ oder $(j - 1)/f$, ein Pipelinefilter PF_{jj} und Ausgangsaddierer AA mit einem j -ten Eingang eines zum Startzeitpunkt im j -ten Schaltzustand befindlichen Demultiplexers $DMUX$ verbunden ist. Im letzten Dezimierungsfiler DF_m ist ein im Startzeitpunkt im Schaltzustand m befindlicher Multiplexer MUX_m dargestellt, der eingangsseitig mit dem Filtereingang und ausgangsseitig mit einer letzten Vorverzögerungsschaltung V_{mm} mit der Verzögerungszeit $(m - 1) * T/m$ verbunden ist, die ihrerseits ausgangsseitig mit einer letzten Pipelinefilterstufe PF_{mm} beschaltet. Weitere Dezimierungsfiler und Schaltzustände sind durch Punkte angedeutet.

Die erfindungsgemäße Filterstruktur kann beispielsweise vollständig in CMOS-Technologie aufgebaut werden. Es ist jedoch von besonderem Vorteil die Multiplexer $MUX_1 \dots MUX_j \dots MUX_m$ und den Demultiplexer $DMUX$ von den Pipelinefiltern der Dezimierungsfiler $DF_1 \dots DF_j \dots DF_m$ getrennt in einer schnellen Bipolar-Technologie aufzubauen. Die Vorverzögerungsstufen und die Ausgangsaddiererstufen sind dabei entweder in Bipolar-Technologie oder zusammen mit den Pipelinefiltern in CMOS-Technologie aufgebaut. Als Verzögerungsschaltungen in den Pipelinefiltern dienen beispielsweise getaktete D-Flipflops.

Im Extremfall $k = 0$ ist ein Transversalfiler mit m Koeffizienten mit einem Parallelisierungsgrad m parallelisierbar, wobei die Pipelinefilter nur noch aus Partialproduktstufen bestehen und die jeweiligen Verzögerungen durch die Vorverzögerungsschaltungen erfolgen.

Patentansprüche

5 1. Filterstruktur, bei der ein Filtereingang (X) gleichzeitig mit m eingangsseitig parallel geschalteten digitalen Dezimierungsfiltren ($DF_1 \dots DF_j \dots DF_m$) verbunden ist, bei der die Dezimierungsfiltren jeweils einen mit der Filtertaktfrequenz f der Filterstruktur zyklisch umschaltbaren
10 Multiplexer ($MUX_1 \dots MUX_j \dots MUX_m$), Vorverzögerungsschaltungen ($V_{12} \dots V_{jj} \dots V_{mm}$) und m mit einer Taktfrequenz f/m betreibbare Pipelinefilter ($PF_{11} \dots$) besitzen, wobei jeweils ein j -tes Pipelinefilter ($PF_{1j}, \dots PF_{mj}$) eines jeden Dezimierungsfiltren gleich aufgebaut ist und die
15 gleichen Filterkoeffizienten besitzt, bei der zu einem Startzeitpunkt jeweils der Multiplexer (MUX_j) eines j -ten Dezimierungsfiltren (DF_j) so geschaltet ist, daß das erste Filtereingangssignal (x_1) am Filtereingang (X) einem j -ten Pipelinefilter (PF_{jj}) der jeweils m Pipelinefilter ($PF_{jm} \dots PF_{jm}$) des jeweiligen j -ten Dezimierungsfiltren (DF_j)
20 über eine j -te Vorverzögerungsschaltung (V_{jj}) der j -ten Dezimierungsfiltren DF_j um die Zeit $(j - 1)/f$ verzögert zuführbar ist, und bei der die m Dezimierungsfiltren ($DF_1 \dots DF_m$) ausgangsseitig, beginnend mit dem ersten Dezimierungsfiltren (DF_1), zyklisch nacheinander über einen mit
25 der Filtertaktfrequenz f getakteten Demultiplexer (DMUX) mit einem Filterausgang (Y) verbindbar sind.

2. Filterstruktur nach Anspruch 1, d a d u r c h g e -
30 k e n n z e i c h n e t , daß sowohl die Multiplexer ($MUX_1 \dots MUX_j \dots MUX_m$) der Dezimierungsfiltren ($DF_1 \dots DF_j \dots DF_m$) als auch der Demultiplexer (DMUX) in Bipolar-Technik und alle Pipelinefilter ($PF_{11} \dots PF_{mm}$) in
35 MOS-Technik aufgebaut sind.

1/2

FIG1

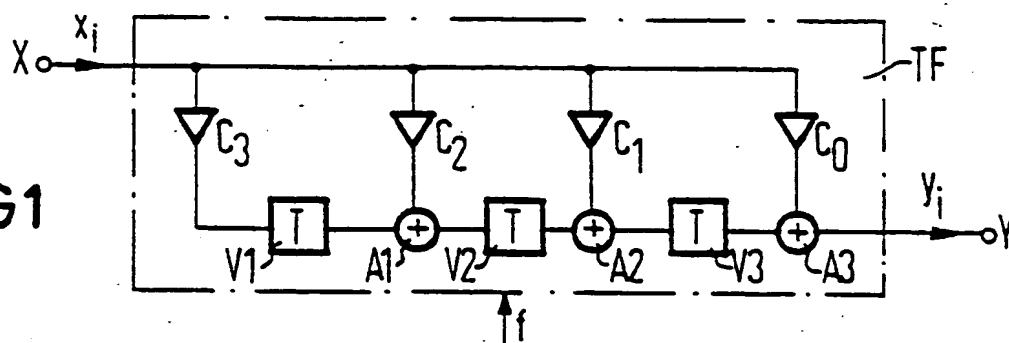
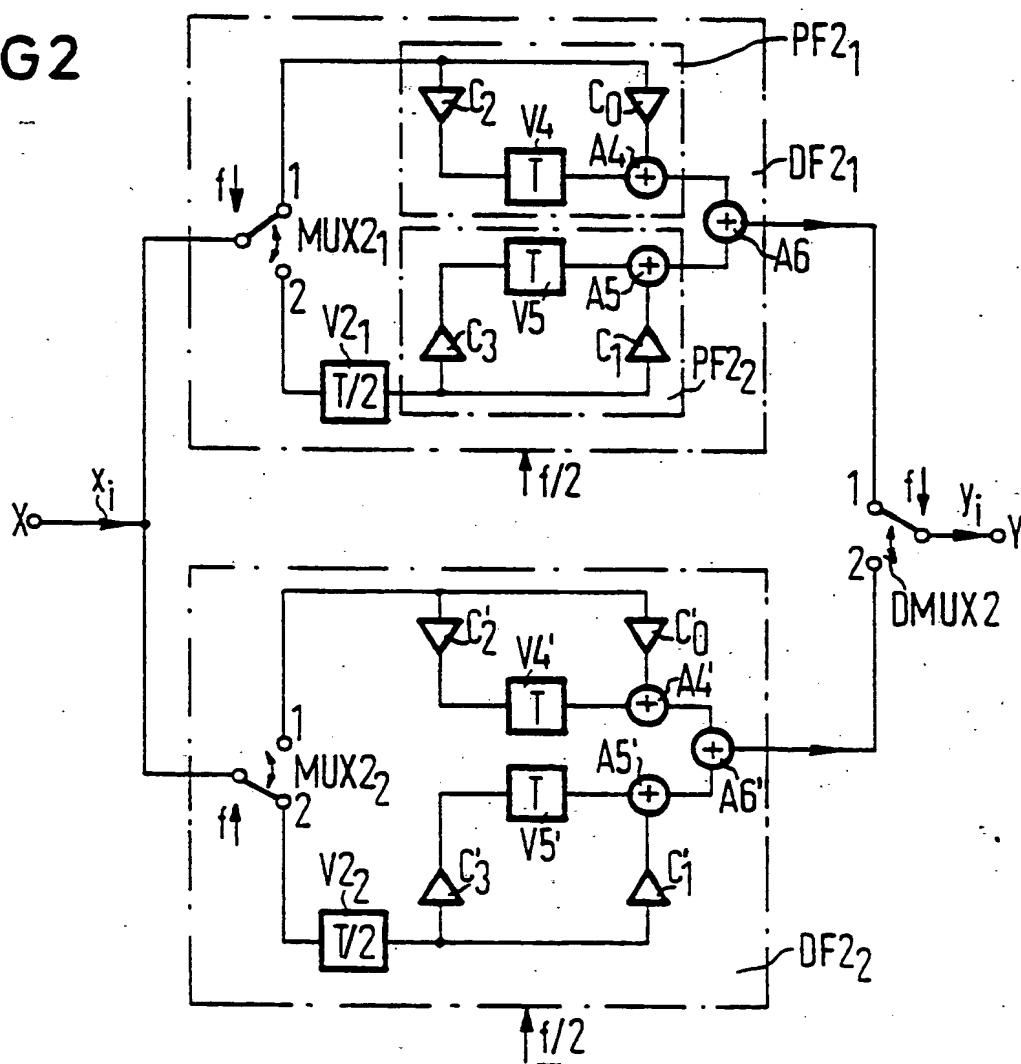
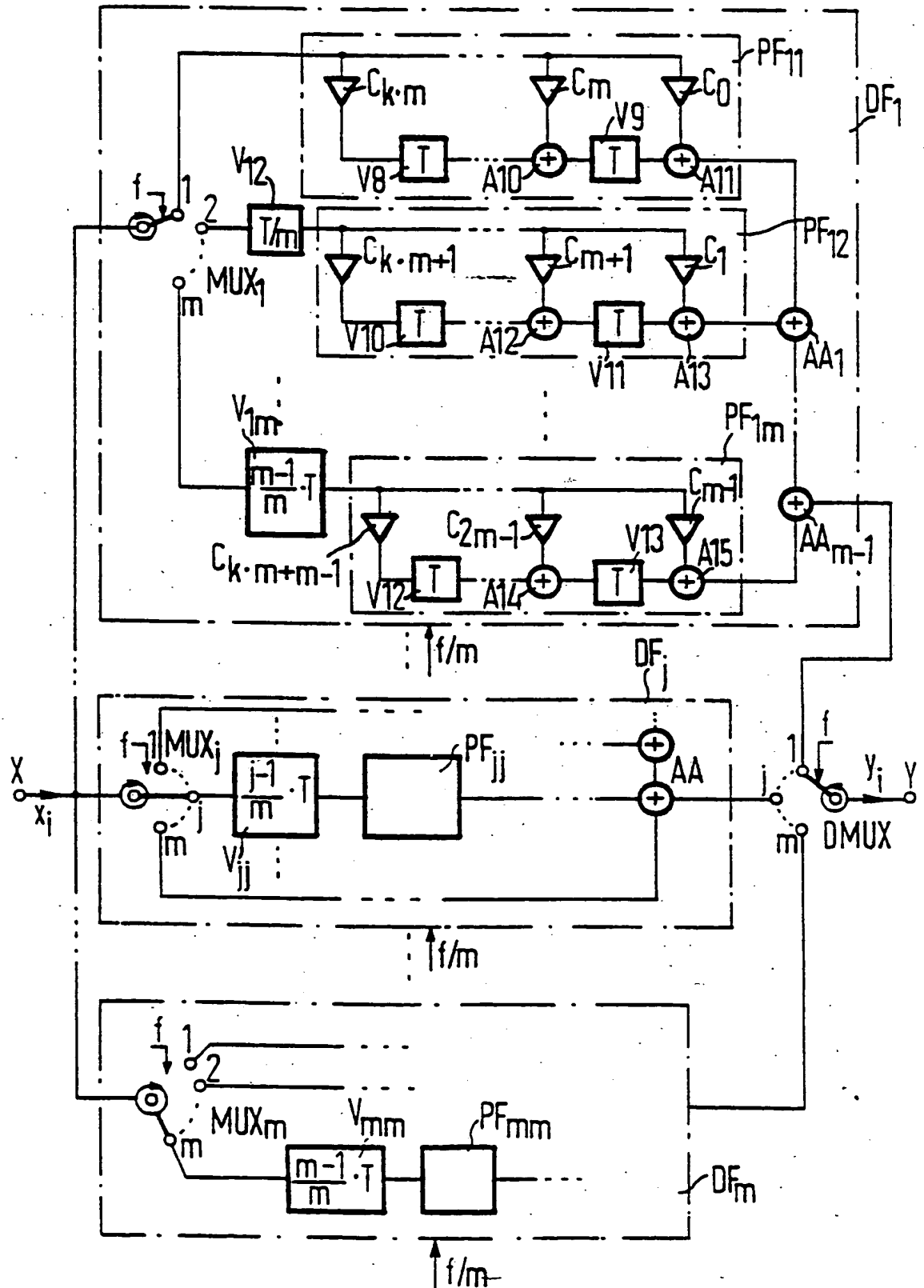


FIG2



2/2

FIG 3



INTERNATIONAL SEARCH REPORT

International application No.

PCT/DE 93/00407

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. 5 H03H17/02

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. 5 H03H

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relévant to claim No.
X	US,A,4 264 983 (B.E.MILLER) 28 April 1981 see the whole document	1
X	EP,A,0 445 335 (DEUTSCHE ITT) 11 September 1991 see column 2, line 21 - column 5, line 18; figures 1-3	1
A	EP,A,0 012 393 (SIEMENS) 25 June 1980 see page 10, line 31 - page 11, line 20; figure 6	1

☐ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance: the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance: the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

11 August 1993 (11.08.93)

Date of mailing of the international search report

25 August 1993 (25.08.93)

Name and mailing address of the ISA/

European Patent Office
Facsimile No.

Authorized officer

Telephone No.

**ANNEX TO THE INTERNATIONAL SEARCH REPORT
ON INTERNATIONAL PATENT APPLICATION NO.**

DE 9300407
SA 73373

This annex lists the patent family members relating to the patent documents cited in the above-mentioned international search report.
The members are as contained in the European Patent Office EDP file on
The European Patent Office is in no way liable for these particulars which are merely given for the purpose of information.

11/08/93

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US-A-4264983	28-04-81	JP-C- 1508024	26-07-89
		JP-A- 55127721	02-10-80
		JP-B- 63053731	25-10-88
EP-A-0445335	11-09-91	None	
EP-A-0012393	25-06-80	DE-A- 2853799	26-06-80
		JP-A- 55085124	26-06-80

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen

PCT/DE 93/00407

I. KLASSIFIKATION DES ANMELDUNGSGEGENSTANDS (bei mehreren Klassifikationssymbolen sind alle anzugeben)⁶

Nach der Internationalen Patentklassifikation (IPC) oder nach der nationalen Klassifikation und der IPC

Int.Kl. 5 H03H17/02

II. RECHERCHIERTE SACHGEBIETE

Recherchierter Mindestprüfstoff ⁷

Klassifikationssystem	Klassifikationssymbole
Int.Kl. 5	H03H

Recherchierte nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Sachgebiete fallen ⁸

III. EINSCHLAGIGE VERÖFFENTLICHUNGEN ⁹

Art. ⁹	Kennzeichnung der Veröffentlichung ¹¹ , soweit erforderlich unter Angabe der maßgeblichen Teile ¹²	Betr. Anspruch Nr. ¹³
X	US,A,4 264 983 (B.E.MILLER) 28. April 1981 siehe das ganze Dokument ---	1
X	EP,A,0 445 335 (DEUTSCHE ITT) 11. September 1991 siehe Spalte 2, Zeile 21 - Spalte 5, Zeile 18; Abbildungen 1-3 ---	1
A	EP,A,0 012 393 (SIEMENS) 25. Juni 1980 siehe Seite 10, Zeile 31 - Seite 11, Zeile 20; Abbildung 6 -----	1

⁹ Besondere Kategorien von angegebenen Veröffentlichungen ¹⁰:

- "A" Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist
- "E" älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist
- "L" Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)
- "O" Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht
- "P" Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

- "T" Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist
- "X" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden
- "Y" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist
- "&" Veröffentlichung, die Mitglied derselben Patentfamilie ist

IV. BESCHEINIGUNG

Datum des Abschlusses der internationalen Recherche 11.AUGUST 1993	Absenddatum des internationalen Recherchenberichts 25.08.93
Internationale Recherchenbehörde EUROPAISCHES PATENTAMT	Unterschrift des bevollmächtigten Bediensteten COPPIETERS C.

ANHANG ZUM INTERNATIONALEN RECHERCHENBERICHT ÜBER DIE INTERNATIONALE PATENTANMELDUNG NR.

DE 9300407
SA 73373

In diesem Anhang sind die Mitglieder der Patentfamilien der im obengenannten internationalen Recherchenbericht angeführten Patentedokumente angegeben.
Die Angaben über die Familienmitglieder entsprechen dem Stand der Datei des Europäischen Patentamts am
Diese Angaben dienen nur zur Unterrichtung und erfolgen ohne Gewähr.

11/08/93

Im Recherchenbericht angeführtes Patentedokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
US-A-4264983	28-04-81	JP-C- 1508024	26-07-89
		JP-A- 55127721	02-10-80
		JP-B- 63053731	25-10-88
EP-A-0445335	11-09-91	Keine	
EP-A-0012393	25-06-80	DE-A- 2853799	26-06-80
		JP-A- 55085124	26-06-80

EPO FORM P0473